

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/303330

International filing date: 23 February 2006 (23.02.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-047802
Filing date: 23 February 2005 (23.02.2005)

Date of receipt at the International Bureau: 27 April 2006 (27.04.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 5 年 2 月 2 3 日

出 願 番 号

Application Number:

特願 2 0 0 5 - 0 4 7 8 0 2

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 5 - 0 4 7 8 0 2

出 願 人

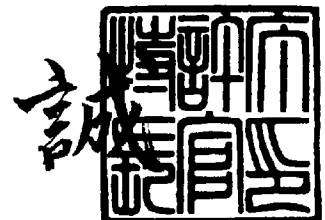
Applicant(s):

ソニー株式会社

2 0 0 6 年 4 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	0590039501
【提出日】	平成17年 2月23日
【あて先】	特許庁長官殿
【国際特許分類】	G01C 19/56
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	渡邊 成人
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	本多 順一
【発明者】	
【住所又は居所】	宮城県登米郡中田町宝江新井田字加賀野境 3 0 番地 ソニー宮城株式会社内
【氏名】	佐々木 伸
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	高橋 和夫
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	稲熊 輝往
【発明者】	
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
【氏名】	鈴木 浩二
【特許出願人】	
【識別番号】	000002185
【氏名又は名称】	ソニー株式会社
【代理人】	
【識別番号】	100067736
【弁理士】	
【氏名又は名称】	小池 晃
【選任した代理人】	
【識別番号】	100086335
【弁理士】	
【氏名又は名称】	田村 榮一
【選任した代理人】	
【識別番号】	100096677
【弁理士】	
【氏名又は名称】	伊賀 誠司
【手数料の表示】	
【予納台帳番号】	019530
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9707387

【書類名】 特許請求の範囲

【請求項 1】

回路素子が実装されるとともに複数個の端子部を有する配線パターンが形成された支持基板と、

複数の接続端子部が設けられた第 1 主面を上記支持基板の主面上に固定する固定面として構成した基部と、この基部の外周部から片持ち梁状に一体に突設されるとともに上記各接続端子部をそれぞれ基端として長さ方向に第 1 電極層と第 2 電極層及び検出電極とを圧電薄膜層を介して積層形成した振動子部とからなる振動素子とを備え、

上記振動素子が、少なくとも上記各接続端子部を構成して上記基部の第 1 主面に形成された所定の高さを有する複数個の金属凸部を上記端子部に接合されることによって上記基部が上記支持基板上に固定されることを特徴とする振動型ジャイロセンサ。

【請求項 2】

上記各金属凸部が、上記支持基板の上記端子部に対してそれぞれ溶着されることによって接合される金バンプによって構成されることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

【請求項 3】

上記各金属凸部の個数が、上記各電極の個数以上であることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

【書類名】 明細書

【発明の名称】 振動型ジャイロセンサ

【技術分野】

【0001】

本発明は、片持ち梁の振動素子を備える振動型ジャイロセンサに関する。

【背景技術】

【0002】

ジャイロセンサは、例えば高ズーム率化や小型化に伴って録画画像に手振れ現象が生じやすくなるようになったビデオカメラ等に搭載されてCCD (Charge-Coupled Device) 等の撮像基板上の画像情報の取り込み位置を制御する制御信号を出力する手振れ補正機構に用いられる。また、ジャイロセンサは、バーチャルリアリティ装置に用いられて動作検知器を構成したり、カーナビゲーション装置に用いられて方向検知器を構成する。

【0003】

ビデオカメラの手振れ補正機構は、録画画像の時間軸での位置ズレ自体のマッチングを行って補正を行うように構成したものも提供されているが、一般的にビデオカメラの保持状態の回転角を検出して対応する角速度を出力するジャイロセンサを用いて実際の手振れ量を補正するように構成したものが用いられている。ジャイロセンサには、検出機構として回転体や光学手段が用いられ、振動素子が用いられている。

【0004】

振動型ジャイロセンサは、シリコン材の主面上に圧電薄膜層を挟んで一対の電極層を積層形成した片持ち梁の振動子を有する振動素子を備える（例えば、特許文献1参照）。振動型ジャイロセンサは、振動子を所定の共振周波数で振動させておき、角速度の変化によって生じるコリオリ力を圧電素子と検出電極とによって検出することで振動等による角速度の変化を検出する。振動型ジャイロセンサは、簡易な構造や短時間で起動することによる高応答性或いは小型で安価である等の特徴を有している。

【0005】

【特許文献1】 特開平7-113643号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、振動型ジャイロセンサにおいては、搭載機器の小型軽量化、多機能高性能化に伴って、さらなる小型化や高性能化が要求されている。振動型ジャイロセンサにおいては、例えば各種センサと組み合わせて多機能化が図られているが、各種センサとともに1個の支持基板に搭載することによって全体として小型化が図られている。しかしながら、振動型ジャイロセンサにおいては、振動素子の各電極と支持基板側の端子部とが一般にワイヤボンディング法によって接続されており、振動素子の周囲にワイヤを引き回すためのスペースが必要で、これが小型化の実現を阻害する要因となっていた。

【0007】

振動型ジャイロセンサにおいては、小型化に伴って外部の振動等の影響を大きく受けるようになり振動素子の支持構造等の複雑化に伴いコストがアップするといった問題が生じる。振動型ジャイロセンサにおいては、設置の状態が機器の仕様によって決定されることから、あらゆる状態で用いられる場合でも所定の特性が安定して得られように構成されなければならない。振動型ジャイロセンサにおいては、高感度で安定した特性を得るために、振動素子の共振状態を定義する機械品質係数Q値 (Q factor) を高くする必要がある。機械品質係数Q値は、振動素子の材料や固定構造によって決定される。

【0008】

したがって、本発明は、簡易な構成によって小型化と高Q値を得ることで特性の向上を図る振動型ジャイロセンサを提供することを目的とする。

【課題を解決するための手段】

【0009】

上述した目的を達成する本発明にかかる振動型ジャイロセンサは、回路素子が実装されるとともに複数個の端子部を有する配線パターンが形成された支持基板の主面上に固定される振動素子とから構成される。振動型ジャイロセンサは、振動素子が、例えばシリコン基板をベースとして切り出し形成され、複数の接続端子部が設けられた第1主面を支持基板の主面上に固定する固定面として構成した基部と、この基部の外周部から片持ち梁状に一体に突設されるとともに各接続端子部をそれぞれ基端として長さ方向に第1電極層と圧電薄膜層と第2電極層とを積層形成するとともに検出電極を形成した振動子部とからなる振動素子とから構成される。振動型ジャイロセンサは、振動素子が、少なくとも各接続端子部を構成して基部の第1主面に形成された所定の高さを有する複数個の金属凸部を備え、これら金属凸部が端子部に接合されることによって基部を支持基板上に固定される。

【0010】

振動型ジャイロセンサにおいては、各金属凸部が例えば金バンプや基部から一体に突出された凸部等によって形成される。振動型ジャイロセンサにおいては、各金属凸部が各電極層等と接続されないいわゆるダミー凸部であってもよい。振動型ジャイロセンサにおいては、各金属凸部を相対する端子部に対して接合することによって、振動素子が支持基板に対して各電極との電氣的接続が行われるとともに機械的に固定されることで実装スペースの効率化が図られるようになる。

【0011】

振動型ジャイロセンサにおいては、支持基板側から振動素子に対して所定周波数の交流電界を印加することによって振動子部に固有振動を生じさせる。振動型ジャイロセンサにおいては、手振れ等によりコリオリ力が生じて振動子部が変位し、この変位を検出して検出電極から検出信号を出力する。振動型ジャイロセンサにおいては、振動素子が基部から振動子部を片持ち梁状に一体に形成して支持基板の主面から浮かせた状態で固定されることから、振動子部の変位減衰割合が低減されて高Q値を得る。

【発明の効果】

【0012】

本発明にかかる振動型ジャイロセンサによれば、支持基板に対して振動素子を複数個の金属凸部を介して電氣的接続と機械的固定を図って実装することから、小型化とともに高Q値化が図られて高感度で安定した特性を得ることが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態として図面に示した振動型ジャイロセンサ1について、詳細に説明する。振動型ジャイロセンサ1は、図1に示すように支持基板2と、この支持基板2の主面2-1を閉塞して組み付けられるカバー部材3とによって外觀部材を構成し、例えばビデオカメラに搭載されて手振れ補正機構を構成する。また、振動型ジャイロセンサ1は、例えばバーチャルリアリティ装置に用いられて動作検知器を構成し、或いはカーナビゲーション装置に用いられて方向検知器を構成する。

【0014】

振動型ジャイロセンサ1は、支持基板2に例えばセラミック基板やガラス基板等が用いられ、主面2-1上に詳細を省略するが多数個の端子部4を有する所定の配線パターン5が形成されている。支持基板2には、各端子部4に接続されて主面2-1上に詳細を後述する一対の振動素子20A、20B（以下、個別に説明する場合を除いて振動素子20と総称する。）と、IC回路素子6或いは外付け用の多数個のセラミックコンデンサや適宜の電子部品7が搭載されている。

【0015】

振動型ジャイロセンサ1は、振動素子20が、詳細を後述するようにシリコン単結晶基板21（以下、シリコン基板21と略称する。）をベースにして形成され、支持基板2の主面2-1上に互いに90°ずれた状態で搭載される。振動素子20は、詳細を後述するが、図2及び図3に示すようにやや厚みのある矩形状に形成された基部22と、この基部22の一側部から一体に突設された振動子部23とから構成される。

【0016】

振動素子20は、後述するようにシリコン基板21の第2主面21-2によって構成される基部22の第2主面22-2が支持基板2に対する固定面を構成する。振動素子20には、基部22の第2主面22-2上に第1端子部24A乃至第4端子部24D（以下、個別に説明する場合を除いて端子部24と総称する。）が形成されるとともに、これら端子部24上にそれぞれ第1金バンプ25A乃至第4金バンプ25D（以下、個別に説明する場合を除いて金バンプ25と総称する。）が形成されている。

【0017】

振動素子20は、端子部24がそれぞれ支持基板2側の配線パターン5に形成した端子部4に対応して形成されており、詳細を後述するように相対する端子部24と端子部4とを位置合わせして支持基板2に組み合わされる。振動素子20は、この状態で支持基板2に押し当てながら金バンプ25に超音波を印加して溶着処理を施すことによって、支持基板2上に実装される。振動素子20は、所定の高さを有する金バンプ25を介して実装することによって、振動子部23がその第2主面23-2を支持基板2の主面2-1に対して所定の高さ位置に保持される。

【0018】

振動素子20は、振動子部23が、シリコン基板21の第2主面21-2によって構成される第2主面23-2を基部22の第2主面22-2と同一面を構成し、一端部を基部22に一体化されて片持ち梁状に突設されている。振動素子20は、振動子部23が、第1主面23-1側がシリコン基板21の第1主面21-1によって構成される基部22の第1主面22-1から段落ちされることによって所定の厚みとされる。振動素子20は、振動子部23が、所定の長さで断面積を有して基部22と一体に形成された矩形の片持ち梁によって構成される。

【0019】

振動子部23には、第2主面23-2上に、長さ方向の略全長に亘って基準電極層（第1電極層）26が形成されるとともに、この基準電極層26上にほぼ同長の圧電薄膜層27が積層形成される。振動子部23には、圧電薄膜層27上にほぼ同長でかつ幅狭の駆動電極層（第2電極層）28が幅方向の中央部に位置して積層形成されるとともに、この駆動電極層28を挟んで圧電薄膜層27上に一対の検出電極29R、29L（以下、個別に説明する場合を除いて検出電極29と総称する。）が積層形成されている。

【0020】

振動素子20は、図3に示すように基準電極層26が、その基端部からリード26-1を基部22の第2主面22-2上に延長して第2端子部24Bと一体化されている。振動素子20は、同様にして駆動電極層28が、リード28-1を介して第3端子部24Cと一体化されている。さらに、振動素子20は、同様にして第1検出電極29Rがリード29R-1を介して第1端子部24Aと一体化されるとともに、第2検出電極29Lがリード29L-1を介して第4端子部24Dと一体化されている。

【0021】

なお、振動素子20は、基部22の第2主面22-2上に、ほぼ四隅に位置して第1端子部24A乃至第4端子部24Dを配置するようにしたが、かかる構成に限定されるものではない。振動素子20には、端子部24が、基部22の第2主面22-2上に後述する解析によって最適化される適宜の位置かつ個数を以て形成される。また、振動素子20は、各電極層のリードと端子部24との接続パターンが上述した構成に限定されるものではないことは勿論であり、端子部24の位置や個数に応じて基部22の第2主面22-2上に適宜に形成される。

【0022】

振動素子20は、各端子部24に対してそれぞれ金バンプ25を形成したが、これら金バンプ25がいわゆる2段バンプによって形成されるようにしてもよい。また、振動素子20は、図3に鎖線で示すように基部22の第2主面22-2上に電氣的接続を行わないいわゆるダミーの第5金バンプ25Eを形成するようにしてもよい。勿論、支持基板2側

には、この第5金バンプ25Eが溶着固定されるダミー端子部が形成される。

【0023】

振動型ジャイロセンサ1は、後述するように振動素子20によって検出したビデオカメラの手振れによる振動状態に基づく制御信号を出力して手振れ補正機構を構成する。振動型ジャイロセンサ1は、振動素子20と接続されたIC回路素子6や電子部品7等によって構成された例えば図4に示す駆動検出回路部8を備えている。振動型ジャイロセンサ1は、駆動検出回路部8が、インピーダンス変換回路9と、加算回路10と、発振回路11と、差動増幅回路12と、同期検波回路部13と、直流増幅回路14等を備えている。

【0024】

駆動検出回路部8は、図4に示すように、振動素子20の第1検出電極29Rに対してインピーダンス変換回路9と差動増幅回路12とが接続される。駆動検出回路部8は、インピーダンス変換回路9に加算回路10が接続され、この加算回路10に接続された発振回路11が第2検出電極29Lと接続される。駆動検出回路部8は、差動増幅回路12と発振回路11とに同期検波回路部13が接続され、この同期検波回路部13に直流増幅回路14が接続される。なお、振動素子20の基準電極層26は、支持基板2側の基準電位15と接続される。

【0025】

駆動検出回路部8は、振動素子20とインピーダンス変換回路9と加算回路10と発振回路11とによって自励発振回路を構成し、発振回路11から振動素子20の振動子部23に形成した駆動電極層28に対して所定周波数の発振出力Vg0を印加することによって固有振動を生じさせる。駆動検出回路部8は、振動素子20の第1検出電極29Rからの出力Vgrと第2検出電極29Lからの出力Vg1とがインピーダンス変換回路9に供給され、これらの入力に基づいてインピーダンス変換回路9から加算回路10に対してそれぞれ出力VzrとVz1とを出力する。駆動検出回路部8は、これらの入力に基づいて加算回路10から発振回路11に対して加算出力Vsaが帰還される。

【0026】

駆動検出回路部8は、振動素子20の第1検出電極29Rからの出力Vgrと第2検出電極29Lからの出力Vg1とが差動増幅回路12に供給される。駆動検出回路部8は、後述するように振動素子20が手振れを検出した状態でこれら出力Vgrと出力Vg1とに差異が生じることから、差動増幅回路12によって所定の出力Vdaを得る。駆動検出回路部8は、差動増幅回路12からの出力Vdaが同期検波回路部13に供給される。駆動検出回路部8は、同期検波回路部13において出力Vdaを同期検波することで直流信号Vsdに変換して直流増幅器14に供給し、所定の直流増幅を行った直流信号Vsdを出力する。

【0027】

駆動検出回路部8は、同期検波回路部13が、差動増幅回路12の出力Vdaを、発振回路11が駆動信号に同期して出力するクロック信号Vckのタイミングで全波整流した後で積分して直流信号Vsdを得る。駆動検出回路部8は、上述したようにこの直流信号Vsdを直流増幅器14において増幅して、手振れにより生じる角速度信号を検出する。

【0028】

駆動検出回路部8は、インピーダンス変換回路9がハイ・インピーダンス入力z2の状態でもロー・インピーダンス出力z3を得るようになっており、第1検出電極29Rと第2検出電極29L間のインピーダンスz1と加算回路10の入力間のインピーダンスz4を分離する作用を奏する。駆動検出回路部8においては、インピーダンス変換回路9を設けることによってこれら第1検出電極29Rと第2検出電極29Lとから大きな出力差異を得ることが可能となる。

【0029】

駆動検出回路部8においては、インピーダンス変換回路9が入力と出力とのインピーダンス変換機能を奏し信号の大きさに影響を与えることは無い。したがって、駆動検出回路部8においては、第1検知電極29Rからの出力Vgrとインピーダンス変換回路9の一

方側の出力V_{zr}及び第2検知電極29Lからの出力V_{g1}とインピーダンス変換回路9の他方側の出力V_{z1}とがそれぞれ同一の大きさである。駆動検出回路部8においては、振動素子20によって手振れ検出が行われて第1検知電極29Rからの出力V_{gr}と第2検知電極29Lからの出力V_{g1}とに差があっても、加算回路10からの出力V_{sa}に保持される。駆動検出回路部8においては、例えばスイッチング動作等によってノイズが重畳されることがあっても、発振回路の出力V_{go}に重畳されたノイズ成分が振動素子20におけるバンドフィルタと同等の働きによって共振周波数以外の成分が除去されることで差動増幅回路12からノイズ成分が除去された出力V_{da}を得る。

【0030】

振動素子20は、例えば図5及び図6に示すように、一方主面21-1の方位面が(100)面、一方の側面21-3の方位面が(110)面となるように切り出されたシリコン基板21をベースにして多数個が一括して形成された後に、切断工程を経て1個ずつに切り分けられる。シリコン基板21には、熱酸化処理が施されて、図6に示すよう表裏主面21-1、21-2上にそれぞれシリコン酸化膜(SiO₂膜)30A、30Bが全面に亘って形成されている。シリコン酸化膜30A、30Bは、後述するようにシリコン基板21に結晶異方性エッチング処理を施す際に保護膜として機能する。

【0031】

振動素子製造工程は、シリコン基板21の第1主面21-1に形成したシリコン酸化膜30Aに対して、各振動素子20の形成領域に対応した振動素子形成部位を除去して開口部を形成する工程が施される。振動素子製造工程は、シリコン基板21のシリコン酸化膜30A上に例えば感光性フォトレジスト材によってフォトレジスト層31を全面に亘って形成する。振動素子製造工程は、フォトレジスト層31に対して各振動素子形成部位を開口部としたマスキングを行った状態で、フォトレジスト層31に対して露光、現像処理を施す。振動素子製造工程は、これらの工程を経て、図7及び図8に示すように振動素子形成部位に対応したフォトレジスト層31を除去してシリコン酸化膜30Aを外方に臨ませる開口部32を形成する。

【0032】

振動素子製造工程は、開口部32に臨ませられたシリコン酸化膜30Aを除去する第1エッチング処理を施した後に、シリコン基板21に対して振動素子20の振動子部23に対応する部位を形成する第2エッチング処理が施される。第1エッチング処理は、シリコン基板21の界面の平滑性を保持するために、シリコン酸化膜30Aのみを除去する湿式エッチング法を採用するが、この方法に限定されるものではなく例えばイオンエッチング法等の適宜のエッチング処理であってもよい。第1エッチング処理には、エッチング液として例えばフッ化アンモニウム溶液を用いて、フォトレジスト層31の開口部32に臨ませられたシリコン酸化膜30Aを除去して開口部33を形成することによりシリコン基板21の第1主面21-1を外方に臨ませる。

【0033】

第2エッチング処理は、シリコン酸化膜30Aの開口部33から外方に臨ませられたシリコン基板21を振動子部23の厚みまでエッチングする工程であり、シリコン基板21の結晶方向にエッチング速度が依存する性質を利用した結晶異方性の湿式エッチングが施される。第2エッチング処理は、エッチング液として例えばTMAH(水酸化テトラメチルアンモニウム)やKOH(水酸化カリウム)或いはEDP(エチレンジアミン-ピロカテコール-水)溶液が用いられる。

【0034】

第2エッチング処理は、シリコン基板21が第1主面21-1に対して側面21-3の対エッチング性が小さい特性によって、(100)面に対して約55°の角度の面方位となる(110)面が出現し、シリコン基板21の第1主面21-1に図9に示すように所定の寸法形状を有する矩形凹部34を形成する。振動素子製造工程は、第1主面21-1に多数個の矩形凹部34を形成した後に、シリコン基板21からエッチング処理が施されて残ったフォトレジスト層31が除去される。

【0035】

振動素子製造工程は、上述した工程を経て、シリコン基板21に矩形凹部34の底面と第2主面21-2との間に所定の厚みを有して振動子部23を構成する矩形の振動子構成部位35を形成する。振動素子製造工程は、振動子構成部位35の第2主面21-2側を加工面として電極形成工程が施される。電極形成工程は、例えばマグネトロンスパッタ装置によって、第2主面21-2上に、図10に示すようにシリコン酸化膜30Bを介して基準電極層26を構成する第1電極層36と、圧電薄膜層27を構成する圧電膜層37と、駆動電極層28及び検出電極29とを構成する第2電極層38とを積層形成する。

【0036】

なお、振動素子製造工程においては、振動子部23に対する上述した第1電極層36の形成工程と第2電極層38の形成工程に合わせて、基部22の形成部位に各リードや端子部24を形成するための導体層の形成工程も同時に行われるようにする。

【0037】

第1電極層形成工程は、振動子構成部位35のシリコン酸化膜層30B上に全面に亘ってチタンをスパッタリングしてチタン薄膜層を形成する工程と、このチタン薄膜層上にプラチナをスパッタリングしてプラチナ層を形成して2層構成の第1電極層36を積層形成する。第1電極層36は、チタン薄膜層がシリコン酸化膜層30Bとの密着性を向上させる作用を奏するとともに、プラチナ層が良好な電極として作用する。第1電極層形成工程は、上述した第1電極層36の形成と同時に振動子構成部位35から基部22の形成領域へと延長して電極層を形成する。

【0038】

圧電膜層形成工程は、上述した第1電極層36上に全面に亘って、例えばチタン酸ジルコン酸鉛（PZT）をスパッタリングして所定の厚みの圧電膜層37を積層形成する。圧電膜層形成工程は、電気炉により圧電膜層37を加熱することによって、結晶化熱処理を施す。なお、圧電膜層37は、上述した第1電極層36から延長された基部22の形成領域に形成された電極層の一部を被覆して形成される。第2電極層形成工程は、上述した圧電膜層37上に全面に亘って、プラチナをスパッタリングしてプラチナ層を形成することによって第2電極層38を積層形成する。

【0039】

振動素子製造工程は、上述した工程を経て最上層に形成された第2電極層38に対してパターニング処理を施す第2電極層パターニング工程によって、所定形状の駆動電極層28と一対の検出電極29とを形成する。駆動電極層28は、上述したように振動子部23を駆動させる所定の駆動電圧が印加される電極であり、振動子部23の幅方向の中央領域に所定の幅を以って長さ方向のほぼ全域に亘って形成される。検出電極29は、振動子部23に発生したコリオリ力を検出する電極であり、駆動電極層28の両側に位置して長さ方向のほぼ全域に亘って互いに絶縁を保持されて平行に形成される。

【0040】

第2電極層パターニング工程は、第2電極層38に対してフォトリソグラフ処理を施して駆動電極層28と検出電極29との対応部位にレジスト層を形成し、不要な部位の第2電極層38を例えばイオンエッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、図11に示すように圧電膜層37上に駆動電極層28と検出電極29とを形成する。振動素子製造工程は、上述した工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して駆動電極層28や検出電極29を形成するようにしてもよいことは勿論である。

【0041】

第2電極層パターニング工程においては、上述したように基部22の形成領域に第2電極層38と一体に形成された導体層にも同様のパターニング処理を施すことによって、この基部22の形成部位上に第1検出電極29Rから所定の幅を以って一体に引き出されたリード29R-1とその先端部に一体化された第1端子部24Aを形成する。第2電極層パターニング工程においては、同様にして第2検出電極29Lから所定の幅を以って一体

に引き出されたリード 29L-1 とその先端部に一体化された第 4 端子部 24D と、駆動電極層 28 から所定の幅を以って一体に引き出されたリード 28-1 とその先端部に一体化された第 3 端子部 24C とを形成する。

【0042】

振動素子製造工程は、圧電膜層 37 に対して上述した駆動電極層 28 と検出電極 29 よりも大きな面積の部位を残してパターニング処理を施すことによって、圧電薄膜層 27 を形成する。圧電薄膜層 27 は、振動子部 23 に対して、その幅よりもやや小幅であり基部部から先端部の先端近傍位置に亘って形成される。圧電膜層 パターニング工程は、圧電膜層 37 に対してフォトリソグラフ処理を施して圧電薄膜層 27 の対応部位にレジスト層を形成し、不要な部位の圧電膜層 37 を例えば湿式エッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、図 12 に示すように圧電薄膜層 27 を形成する。

【0043】

圧電膜層 パターニング工程においては、圧電膜層 37 を例えばフッ硝酸溶液を用いた湿式エッチング法によってエッチング処理を施すようにしたが、圧電膜層 37 に対してイオンエッチング法や反応性イオンエッチング法等の適宜の方法を施すことにより圧電薄膜層 27 を形成するにしてもよいことは勿論である。圧電膜層 パターニング工程においては、基部 22 の形成部位に対しても同時に第 1 電極層 36 を被覆していた部位が除去されることによって、第 1 電極層 36 を外方に露出させる。

【0044】

振動素子製造工程は、上述した第 1 電極層 36 に対してパターニング処理を施す第 1 電極層 パターニング工程によって、基準電極層 26 を形成する。基準電極層 26 は、図 13 に示すように振動子部 23 の第 2 主面 23-2 上において、その幅よりもやや小幅で圧電薄膜層 27 よりも大きな幅を以って形成される。第 1 電極層 パターニング工程においては、上述した圧電膜層 パターニング工程で基部 22 の形成部位を被覆していた圧電膜層 37 が除去されることによって露出された状態の第 1 電極層 36 に対して同時にパターニング処理が施される。第 1 電極層 パターニング工程は、基部 22 の形成部位上に基準電極層 26 から所定の幅を以って一体に引き出されたリード 26-1 とその先端部に一体化された第 2 端子部 24B を形成する。

【0045】

なお、振動素子製造工程においては、第 1 電極層 36 に対して第 2 電極層 38 が圧電膜層 37 を介して積層形成されることから、基部 22 の形成部位において各端子部 24 に段差が生じることになる。振動素子製造工程においては、詳細を省略するが基部 22 の形成部位に所望の平坦化レジスト層をパターン形成することによって各端子部 24 が互いに同一面を構成して基部 22 の形成部位に形成されるようにする。

【0046】

振動素子製造工程においては、上述したように振動素子 20 を支持基板 2 に表面実装することから、各端子部 24 上に金バンプ 25 が形成される。金バンプ形成工程は、図 14 に示すように端子部 24 上に所定の開口部 39-1 を有するめっきレジスト層 39 を形成して、金めっき処理を施す。金バンプ形成工程は、各開口部 39-1 内に金めっき層を所定の高さまで成長させるリフトオフ法によって図 15 に示すように金バンプ 25 を形成する。

【0047】

なお、金バンプ形成工程においては、めっき処理の条件によって形成される金バンプ 25 の厚み（高さ）に限界があり、所望の高さを有する金バンプ 25 が形成し得ないこともある。金バンプ形成工程においては、1 回のめっき処理によって所望の金バンプ 25 を得られない場合に、第 1 層の金めっき層を電極とする 2 回めっき処理を施していわゆる段付き金バンプ 25 を形成するようにしてもよい。金バンプ形成工程においては、必要に応じて基部 22 上にいわゆるダミーバンプ 25E も形成される。

【0048】

振動素子製造工程においては、振動子部 23 の外周部が垂直面を構成するようにシリコ

ン基板 2 1 に対して例えば反応性イオンエッチング法による溝切り工程が施される。溝切り工程は、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）を備えたエッチング装置が用いられ、エッチング工程と、エッチングした箇所外周壁を保護するための保護膜形成工程とを繰り返す Bosch（Bosch 社）プロセスによる反応性イオンエッチング法が採用される。

【0049】

振動素子製造工程においては、上述した溝切り工程によってシリコン基板 2 1 を貫通するコ字状の溝が形成されることによって各振動素子 2 0 の振動子部 2 3 の外形が形作りされる。振動素子製造工程においては、例えばダイヤモンドカッタ等によって基部 2 2 の部位に切断加工を施されることによって各振動素子 2 0 の切り分けが行われる。切断工程については、ダイヤモンドカッタによって切断溝を形成した後に、シリコン基板 2 1 を折って切り分けが行われる。なお、切断工程は、砥石や研削によりシリコン基板 2 1 の面方位を利用して切断を行うようにしてもよい。

【0050】

以上の工程を経て製造された振動素子 2 0 は、第 2 主面 2 0-2 を固定面として、支持基板 2 の主面 2-1 上に表面実装される。振動素子 2 0 は、各端子部 2 4 に設けられた金バンプ 2 5 を支持基板 2 側の相対する端子部 4 に位置合わせされる。振動素子 2 0 は、支持基板 2 に押圧した状態で超音波が印加された各金バンプ 2 5 が相対する端子部 4 に溶着されることで支持基板 2 の主面 2-1 上に実装される。

【0051】

支持基板 2 には、主面 2-1 上に IC 回路素子 6 や電子部品 7 を実装した後にカバー部材 3 が取り付けられて振動型ジャイロセンサ 1 を完成させる。なお、カバー部材 3 は、振動素子 2 0 等の実装部品を保護するとともに外部ノイズを遮断する機能も有することが好ましく、例えば SUS 材によって形成される。

【0052】

振動型ジャイロセンサ 1 は、駆動電極層 2 8 に対して所定周波数の交流電圧が印加されると、振動素子 2 0 が個数の振動数を以って振動する。振動素子 2 0 は、振動子部 2 3 が厚み方向である縦方向に縦共振周波数で共振するとともに幅方向である横方向にも横共振周波数で共振する。振動型ジャイロセンサ 1 は、縦共振周波数と横共振周波数との差である離調度が小さいほど高感度特性を有する。振動型ジャイロセンサ 1 は、上述したように結晶異方性エッチング処理や反応性イオンエッチング処理を施して振動子部 2 3 の外周部を精度よく形成することで高離調度化が図られている。

【0053】

振動素子 2 0 は、支持基板 2 に対する固定方法や材料によって Q 値が決定される。振動型ジャイロセンサ 1 は、上述したように振動素子 2 0 が基部 2 2 に形成したそれぞれ所定の高さを有する複数個の金バンプ 2 5 によって支持基板 2 に実装したことにより、安定かつ高感度で振動子部 2 3 の振動動作が行われて高 Q 値化が図られている。

【0054】

振動型ジャイロセンサ 1 について、以下、振動素子 2 0 の支持基板 2 に対する固定方法による Q 値特性の影響を、FEM（Finite-Element Method：有限要素法）解析法によって解析する。解析は、振動子部 2 3 をシリコン材によって製作するとともに支持基板 2 に対して金接合層（金バンプ）4 0 によって固定した場合の、固定部分の減衰による振動子部 2 3 の先端部位における変位量（ μm ）を計算することによって固定方法の違いによる特性変化を解析した。シリコンの材料減衰 $\beta = 3.54 \times 10^{-8}$ 、金接合層の材料減衰 $\beta = 3.54 \times 10^{-8}$ を基準にして値をパラメータにして代入する。

【0055】

振動素子 2 0 が基部 2 2 を支持基板 2 に対して金接合層 4 0 を介して全面に亘って接合した場合の第 1 の解析を行った。この第 1 の解析により、図 1 6 に示す振動子部 2 3 の変位量の変動結果を得る。振動素子 2 0 は、同図から明らかなように、Au の減衰量が大きくなるにしたがって振動子部 2 3 の先端部の変位が次第に減衰する。

【0056】

また、振動素子20が基部22を支持基板2に対して金接合層40を介して接合する場合の第2の解析を行った。この第2の解析は、具体的には図17(A)に示すように振動子部23の基端部位において設けた幅dの非接合部の変化による振動子部23の変位減衰割合の変化を解析するものであり、同図(B)に示す結果を得る。振動素子20は、同図(C)から明らかなように金接合層40の非接合部の幅が200 μ m～300 μ mの範囲で減衰割合が大きくなる結果を得る。

【0057】

さらに、振動素子20が基部22を支持基板2に対して金接合層40を介して接合する場合の第3の解析を行った。この第3の解析は、具体的には図18(A)に示すように金接合層40の幅eの変化による振動子部23の変位減衰割合の変化を解析するものであり、同図(C)に示す結果を得る。また、第3の解析において、同図(B)に示すように振動素子20が基部22を支持基板2に対して第1金接合層40Aと第2金接合層40Bとを介して接合する場合における解析も行った。

【0058】

図18(C)には、1個の金接合層40による幅eの変化による振動子部23の変位減衰割合の解析結果を四角印で示すとともに、第2金接合層40Bを追加した場合の解析結果を丸印で示す。振動素子20は、金接合層40の幅eが500 μ m～700 μ mの範囲で減衰割合が大きくなる結果を得る。また、振動素子20は、2箇所で固定することによって、金接合層40の幅eが小さい場合でも大きな減衰割合が得られるようになる。

【0059】

振動素子20においては、上述した第1解析至第3解析の結果から明らかなように、金接合層40により支持基板2上に接合される基部22が、全面で接合するよりも第1金接合層40Aと第2金接合層40Bとの2箇所で接合することが良好な特性を示す解析結果を得る。第4の解析は、かかる解析結果に基づいて、図19(A)に示すように基部22を第1金接合層40Aと第2金接合層40Bとの2箇所で支持基板2上に接合し、上述した第2の解析と同様に振動子部23の基端部位において設けた非接合部の幅fをパラメータとして振動子部23の変位減衰割合の変化を解析することによって第1金接合層40Aの最適位置を求めた。振動素子20は、同図(B)に示すように第1金接合層40Aを振動子部23の根元位置から非接合部の幅fをほぼ250 μ mとして基部22を固定することによって、最適化が図られるとの解析結果を得る。

【0060】

第5の解析は、上述した第4の解析に対して、図20(A)に示すように基部22を第1金接合層40Aと第2金接合層40Bとの2箇所で支持基板2上に接合するが、第2金接合層40Bの最適位置を解析したものである。振動素子20は、第1金接合層40Aを基部22に対して上述した振動子部23の根元から250 μ mの最適位置で固定し、第2金接合層40Bについて基部22の後端部からの間隔gをパラメータとして振動子部23の変位減衰割合の変化を解析して最適位置を求めた。振動素子20は、同図(B)に示すように、第2金接合層40Bが振動子部23の根元と対向する基部22の後端部から次第に振動子部23側へと近づくにしたがってこの振動子部23の変位減衰割合が小さくなる結果を得る。したがって、振動素子20は、支持基板2に対して基部22を第1金接合層40Aと第2金接合層40Bの2箇所で固定される場合に、振動子部23の根元から250 μ mの位置とより後端部に近い位置において固定することによって最適化が図られるとの解析結果を得る。

【0061】

振動素子20は、上述した第1解析乃至第5解析から、支持基板2に対する基部22の固定方法が全面固定よりも部分固定、1箇所固定よりも複数箇所である方が良好なQ値特性を得ることができると明らかなとなった。第6の解析は、支持基板2に対する基部22の固定方法を、図21(A)に示すように振動子部23の根元側を幅方向に離間した一対の第1金接合層40A-1、40A-2によって固定するとともに基部22の後端側に

において幅方向に離間した一対の第2金接合層40B-1、40B-2を固定する4点固定構造とした場合の解析である。第6の解析では、第2金接合層40B-1、40B-2を固定とするとともに、第1金接合層40A-1、40A-2の相対する間隔 w と第2金接合層40Bとの間隔 h とをパラメータとして振動子部23の変位減衰割合の変化を解析することによって最適な固定位置の解析を行った。

【0062】

第6の解析は、第1金接合層40A-1、40A-2を基部22の幅方向の両側に設けて相対する間隔を w_1 として支持基板2に固定する方法を第1固定方法とし、第1金接合層40A-1、40A-2を中央部に近づけて相対する間隔を w_2 として支持基板2に固定する方法を第2固定方法とし、第1金接合層40A-1、40A-2を振動部である中心部位において一体化して相対する間隔を $w_3 = 0$ として支持基板2に固定する方法を第3固定方法とする。

【0063】

振動素子20は、図21(B)及び同図(C)に示すように支持基板2に対して基部22が第1金接合層40A-1、40A-2によって、振動子部23の根元に近い位置で基部22の幅方向の両側で固定される固定方法により最適化が図られるとの解析結果を得る。なお、振動素子20は、第3固定方法によって支持基板2に対して基部22を固定した場合に極大をもつ。

【0064】

第7の解析は、図22(A)に示すよう、4個の金バンプ41-1乃至41-4によって支持基板2に対して基部22を固定した場合のFEM計算結果と測定結果とを解析したものである。第1の固定方法は、同図A-1で示すように基部22の略中央部に4個の金バンプ41-1乃至41-4を横方向に1列に並べて固定した方法である。第2の固定方法は、同図A-2で示すように基部22の四隅に4個の金バンプ41-1乃至41-4を配置して固定した方法である。第3の固定方法は、同図A-3で示すように基部22の後端側に3個の金バンプ41-1乃至41-3を横方向に並べるとともに振動子部23の根元で幅方向の中央部に位置して1個の金バンプ41-4を配置して固定した方法である。

【0065】

図22(B)は、横軸に A_u の減衰量を縦軸に振動子部23の変位減衰割合を示したFEM計算結果を示した図である。また、同図(C)は、各固定方法を採用したサンプル振動素子42A~42Cの変位量(u_{mp})の測定結果を示した図である。振動素子20は、同図(B)及び同図(C)から明らかなように固定部位における A_u の材料減衰が大きい場合でも四隅を金バンプ41-1乃至41-4によって固定したサンプル42Bが減衰に強い固定方法を構成する。

【0066】

第8の解析は、上述した第1解析乃至第7解析の解析結果を踏まえて、さらに多点箇所振動素子20を支持基板2に対して固定する場合の優位性を検討した解析である。第8の解析では、図23(A)に示すよう、基部22に対して金バンプ43の数を異にして配置した第1サンプル振動素子44A乃至第4サンプル振動素子44Dについて、振動子部23の変位減衰割合の解析を行って同図(B)に示す結果を得た。

【0067】

第1サンプル振動素子44Aは、基部22の四隅に配置された4個の金バンプ43-1乃至43-4を有している。第2サンプル振動素子44Bは、基部22の四隅に配置された4個の金バンプ43-1乃至43-4と、中央部に配置された1個の金バンプ43-5との合計5個の金バンプ43-1乃至43-5を有している。第3サンプル振動素子44Cは、基部22の四隅に配置された4個の金バンプ43-1乃至43-4と、振動子部23の延長線上で両側の金バンプ43の中央部に位置することによってそれぞれ横方向に3個ずつが配列された合計6個の金バンプ43-1乃至43-6有している。第4サンプル振動素子44Dは、基部22の幅方向の両側に沿って縦方向に3個ずつが配列された合計6個の金バンプ43-1乃至43-6有している。

【0068】

上述した第1サンプル振動素子44A乃至第4サンプル振動素子44Dにおいては、図23(B)に示すように振動子部23の変位減衰割合について大きな差異は無い。したがって、振動素子20においては、支持基板2に対して基部22を多点で固定しても特性がさほど向上されないとの解析結果を得た。

【0069】

なお、実施の形態として示した振動型ジャイロセンサ1は、上述したように支持基板2に対して2個の振動素子20A、20Bを搭載したが、それぞれが同等の固定方法により支持基板2に実装されることが好ましい。振動型ジャイロセンサ1は、各端子部24上に金めっきによるリフトオフ法によってそれぞれ所定の高さを有する金バンプ25を形成したが、かかる構成に限定されるものではないことは勿論である。振動型ジャイロセンサ1は、例えばシリコン基板21上に予め各端子部24に対応して所定の高さを有する凸部を形成して所定の高さを得るようにしてもよい。

【図面の簡単な説明】

【0070】

【図1】実施の形態として示す振動型ジャイロセンサをカバー部材を省略して示した要部斜視図である。

【図2】振動型ジャイロセンサの要部断面図である。

【図3】振動素子の要部底面図である。

【図4】振動型ジャイロセンサの回路構成図である。

【図5】振動素子の製造に用いるシリコン基板の平面図である。

【図6】シリコン基板の側面図である。

【図7】フォトレジスト層に振動素子形成部位をパターニングしたシリコン基板の平面図である。

【図8】同シリコン基板の断面図である。

【図9】振動子部の厚みを規定する凹部を形成した同シリコン基板の断面図である。

【図10】振動子の形成部位に、第1電極層と圧電膜層及び第2電極層とを積層形成した状態の要部断面図である。

【図11】同駆動電極層と検出電極とをパターニングした状態の要部断面図である。

【図12】圧電膜層をパターニングした状態の要部断面図である。

【図13】基準電極層をパターニングした状態の要部断面図である。

【図14】振動素子の基部に形成しためっきレジスト層の端子形成部に開口部を形成した状態の要部断面図である。

【図15】基部の端子部に金バンプを形成した状態の要部断面図である。

【図16】振動素子の支持基板に対する固定方法のFEM解析図であり、金バンプの減衰量と振動子部の変位量との特性図である。

【図17】非接合部の幅と振動子部の変位減衰割合との解析図である。

【図18】金接合層の幅と振動子部の変位減衰割合との解析図である。

【図19】振動子側における金接合層の固定位置と振動子部の変位減衰割合との解析図である。

【図20】基部の後端側における金接合層の固定位置と振動子部の変位減衰割合との解析図である。

【図21】4箇所固定における金接合層の配置位置の解析図である。

【図22】4箇所固定構造を採用したサンプル振動素子における金接合層の配置位置の解析図及び変位量測定図である。

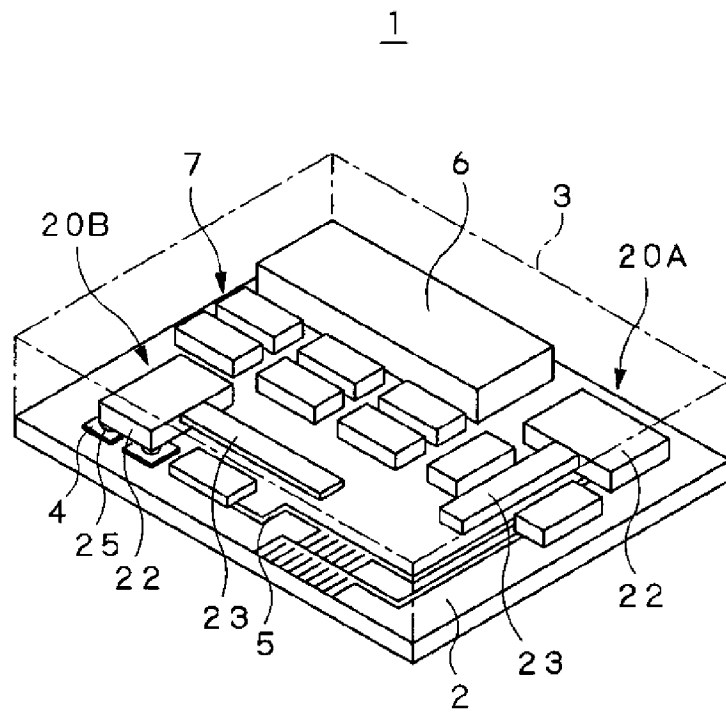
【図23】多点固定による特性の解析図である。

【符号の説明】

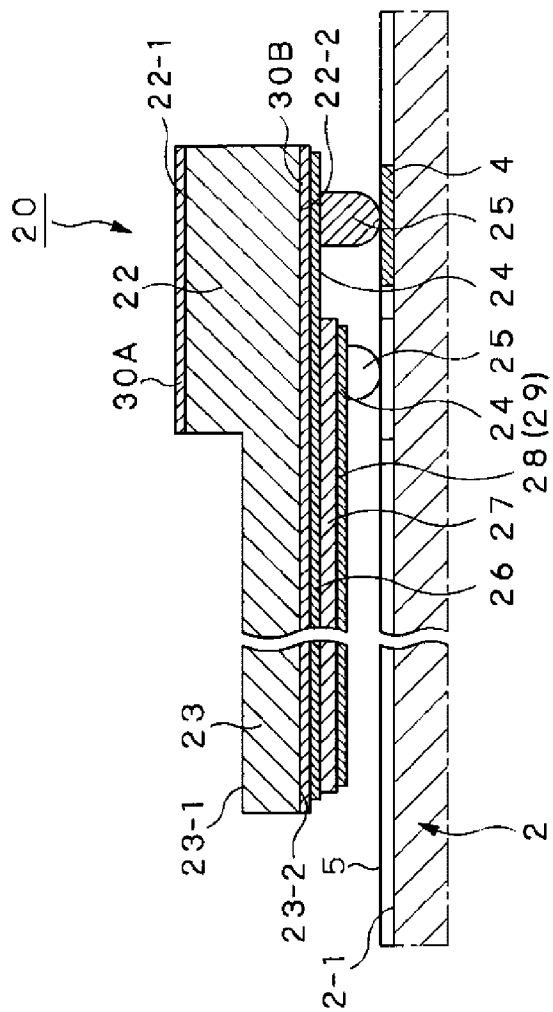
【0071】

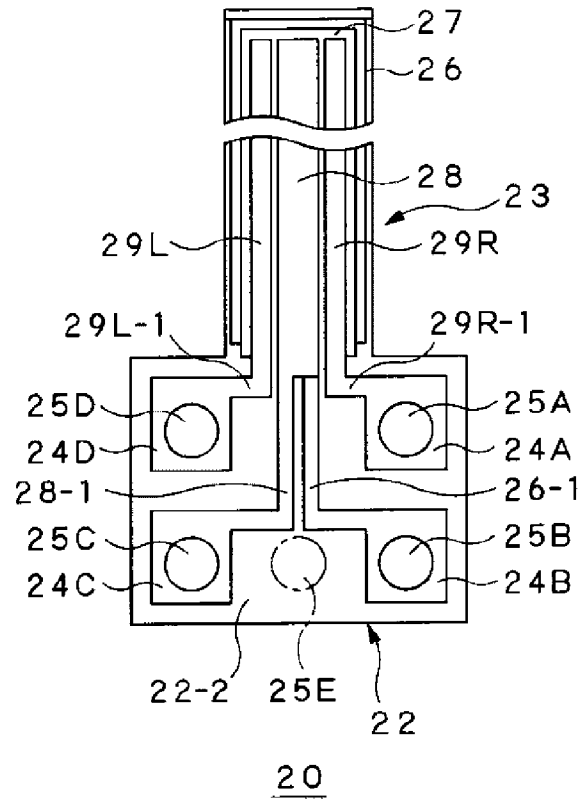
1 振動型ジャイロセンサ、2 支持基板、3 カバー部材、4 端子部、5 配線パターン、6 IC回路素子、7 電子部品、20 振動素子、21 シリコン基板、22

基部、23 振動子部、24 端子部、25 金バンプ、26 基準電極層、27 圧電薄膜層、28 駆動電極層、29 検出電極

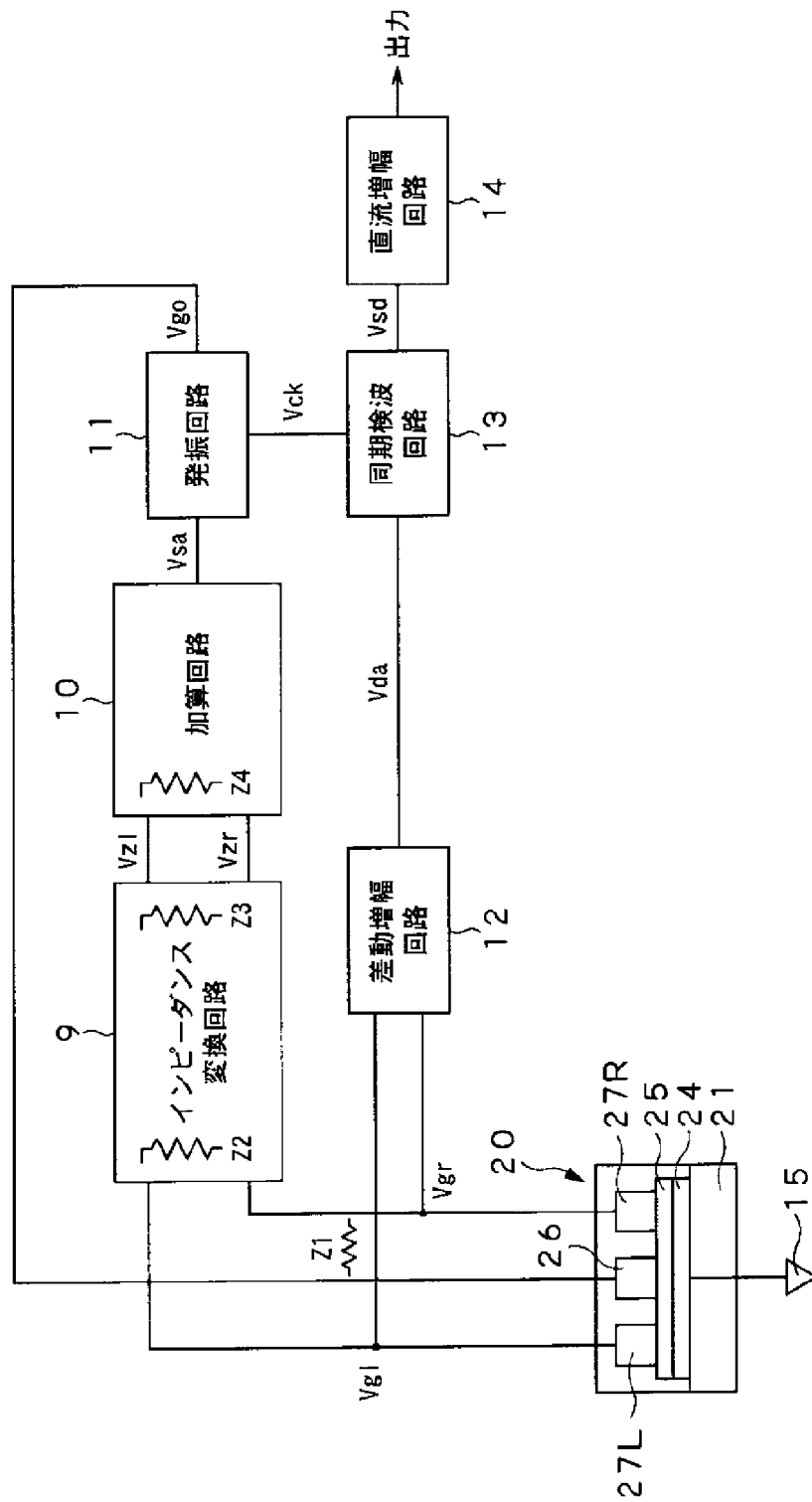


【図 2】

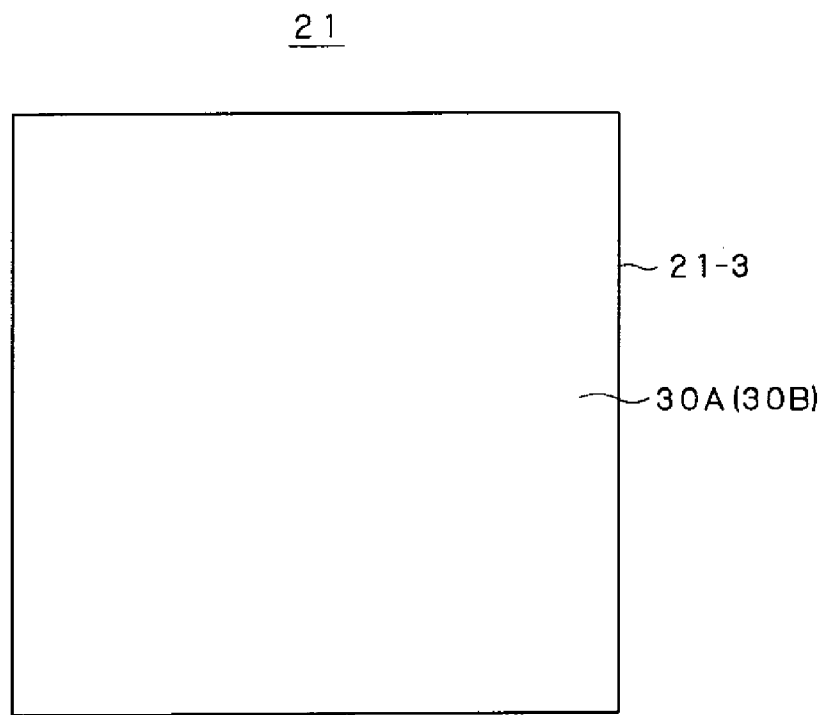




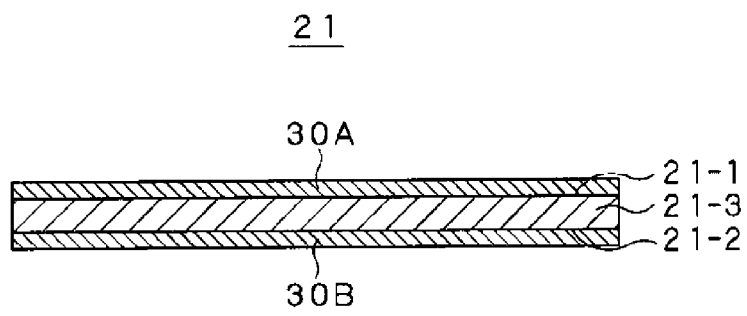
8



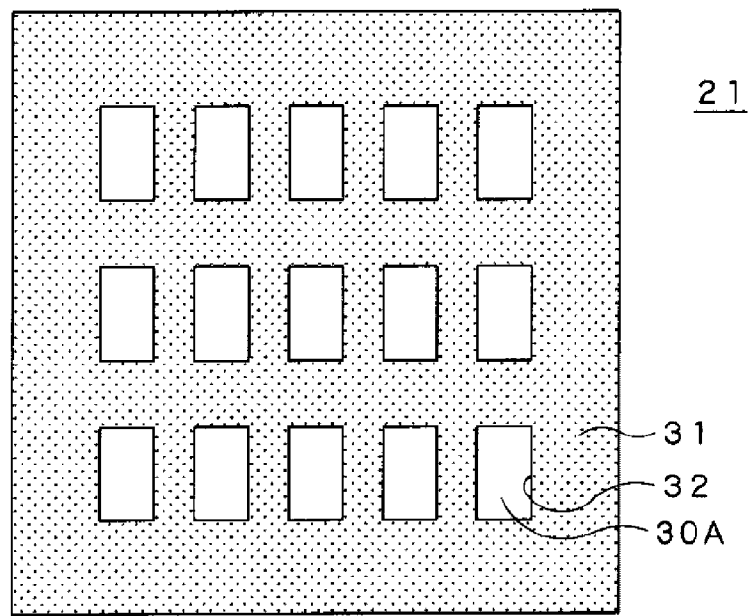
【図 5】



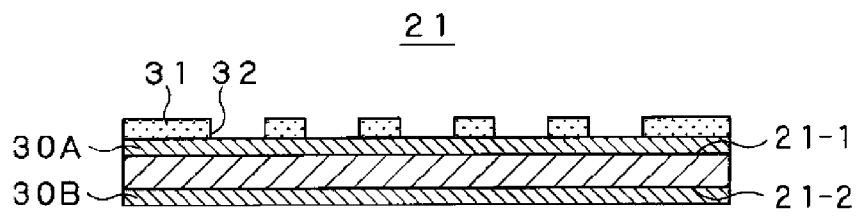
【図 6】



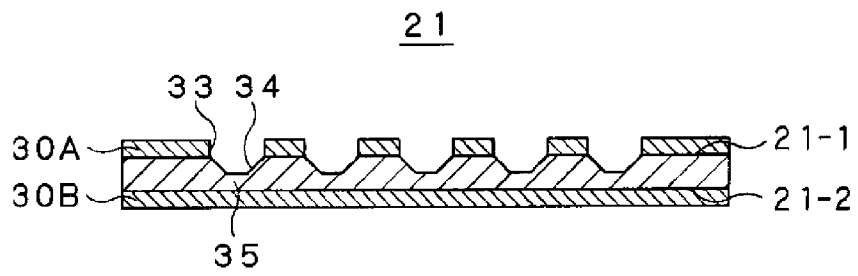
【図 7】



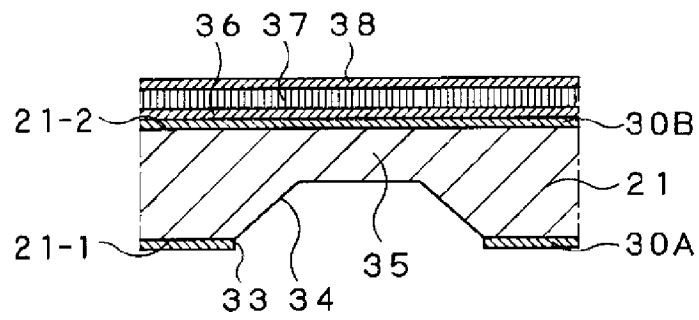
【図 8】



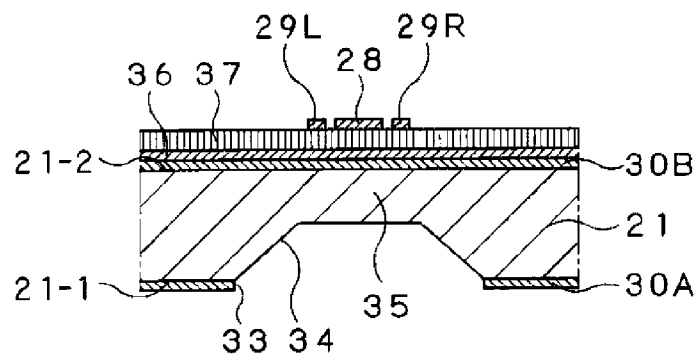
【図 9】



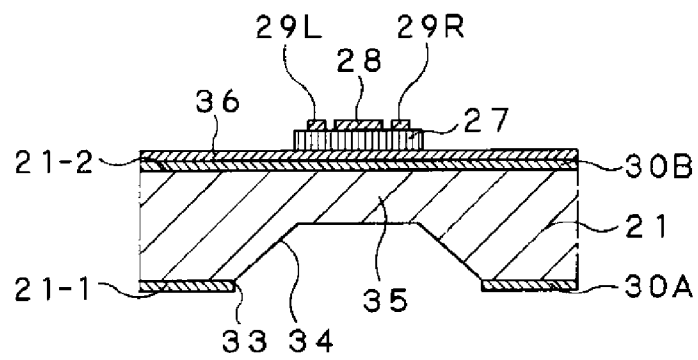
【図10】



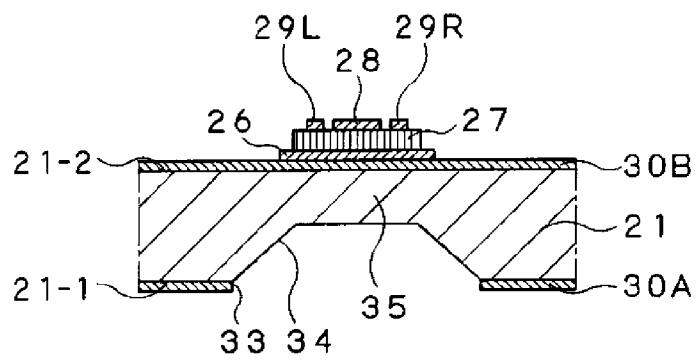
【図11】



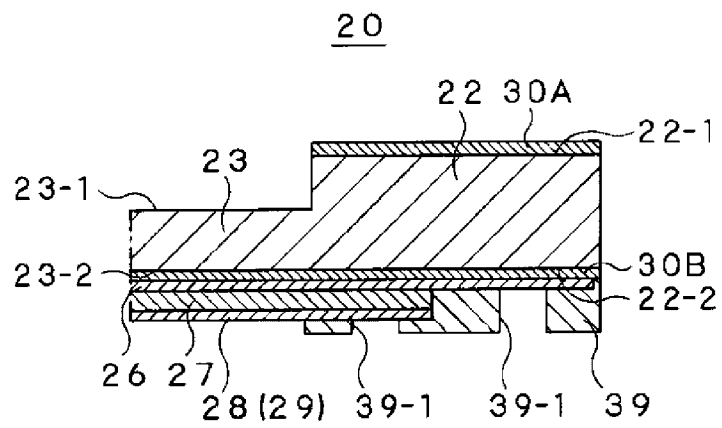
【図 1 2】



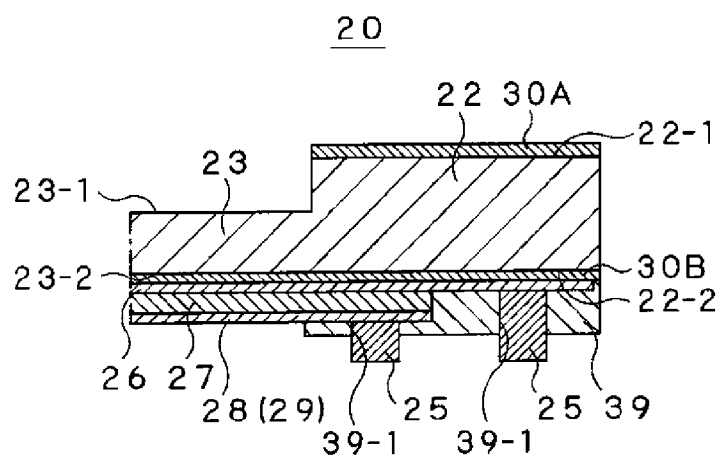
【図 1 3】



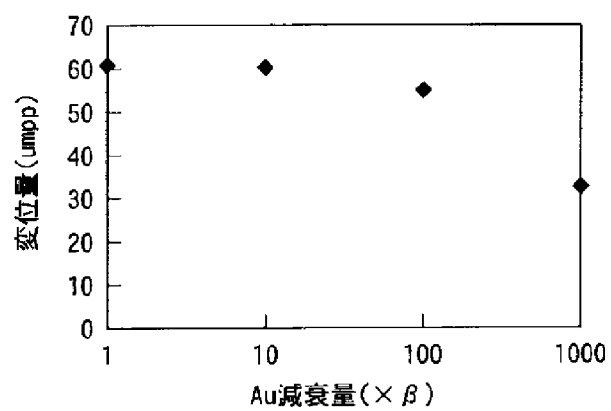
【図 1 4】



【図 1 5】

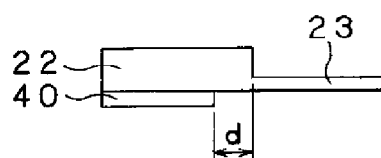


【図 1 6】

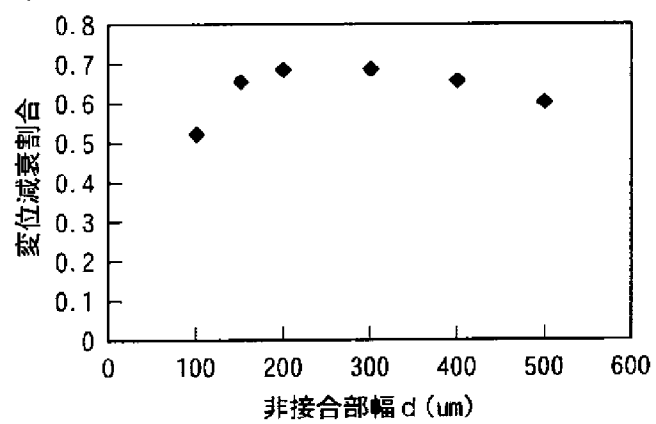


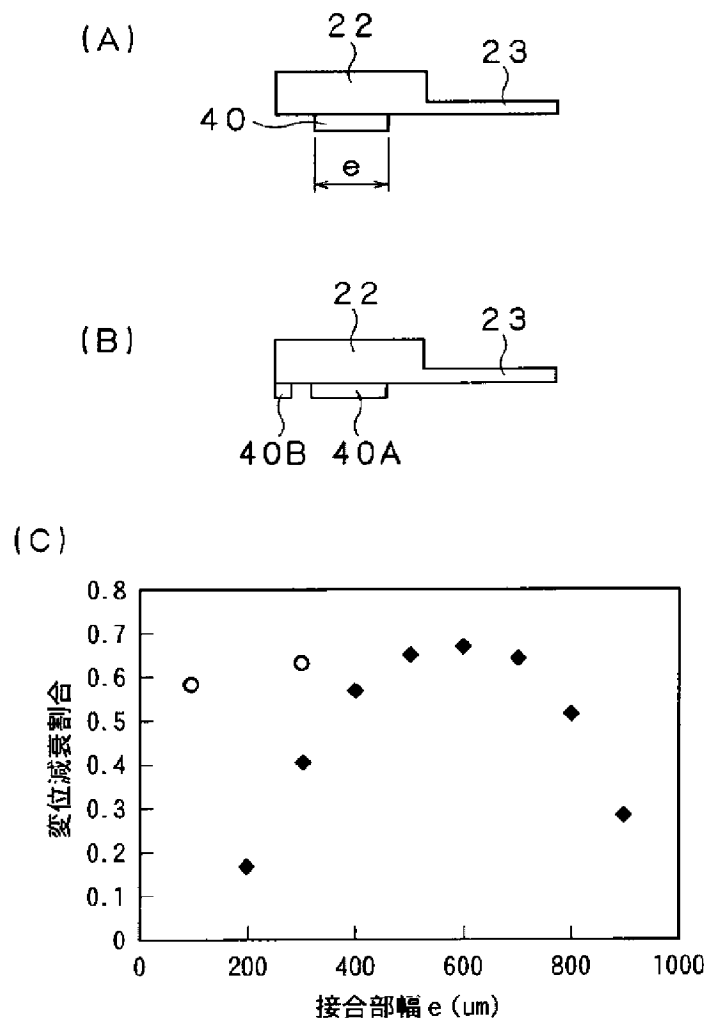
【図 1 7】

(A)

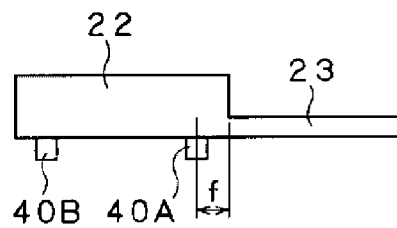


(B)

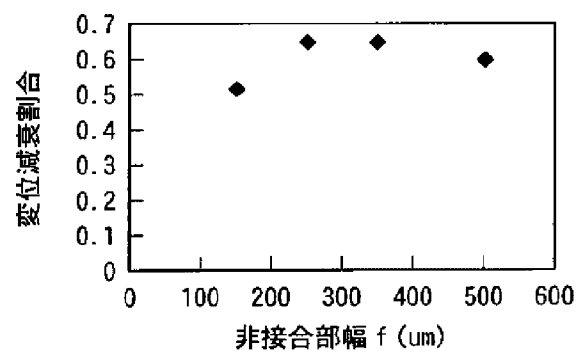




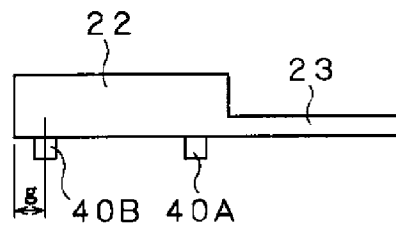
(A)



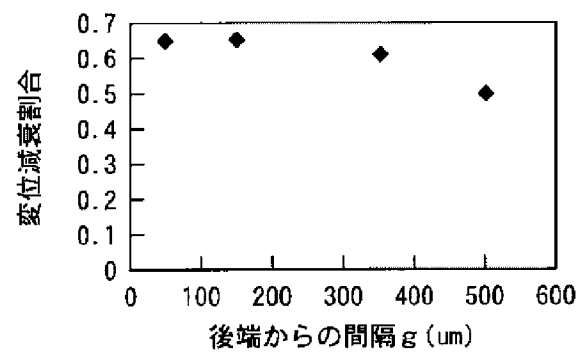
(B)

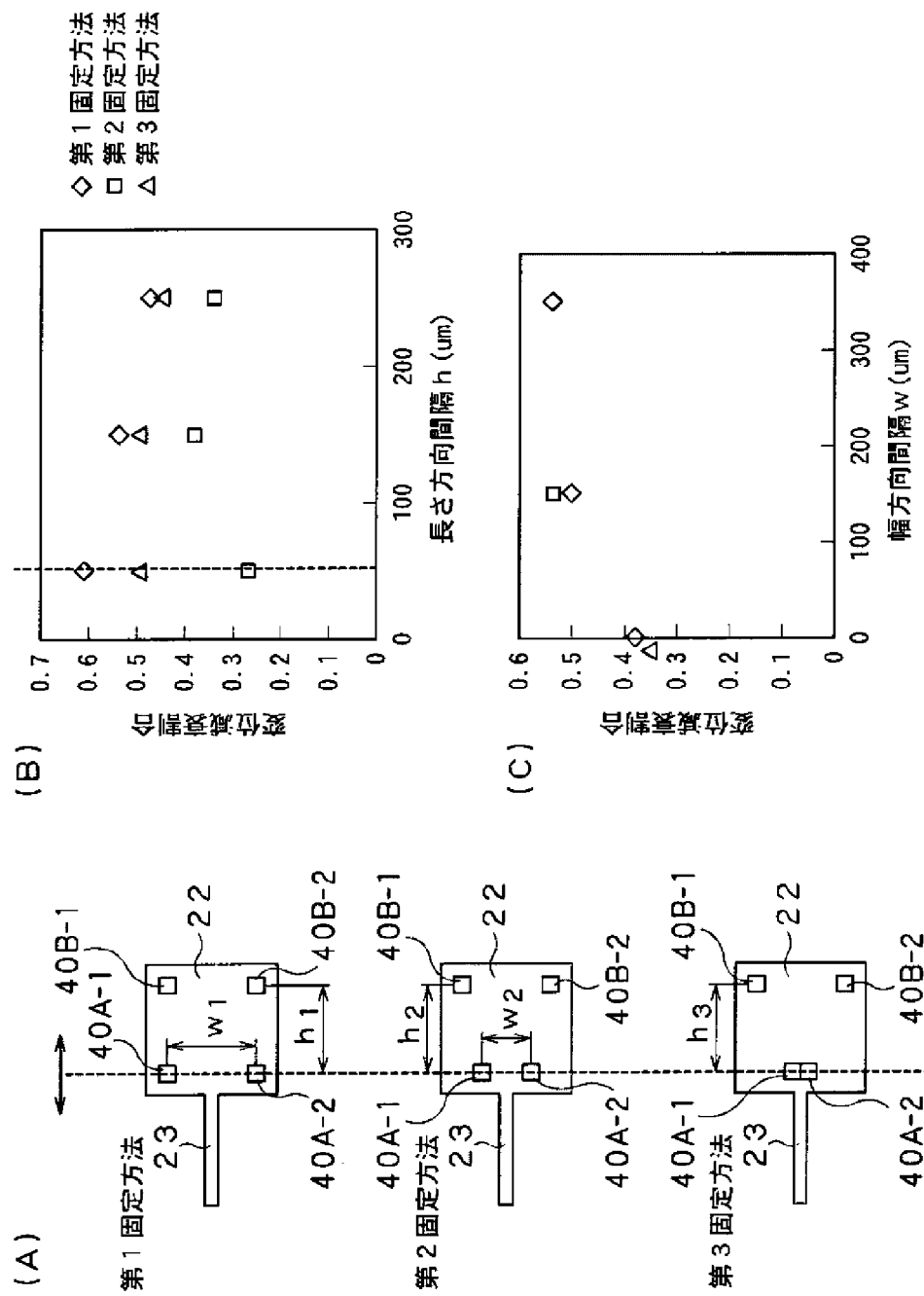


(A)

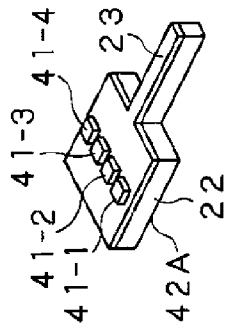


(B)

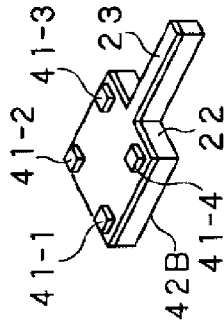




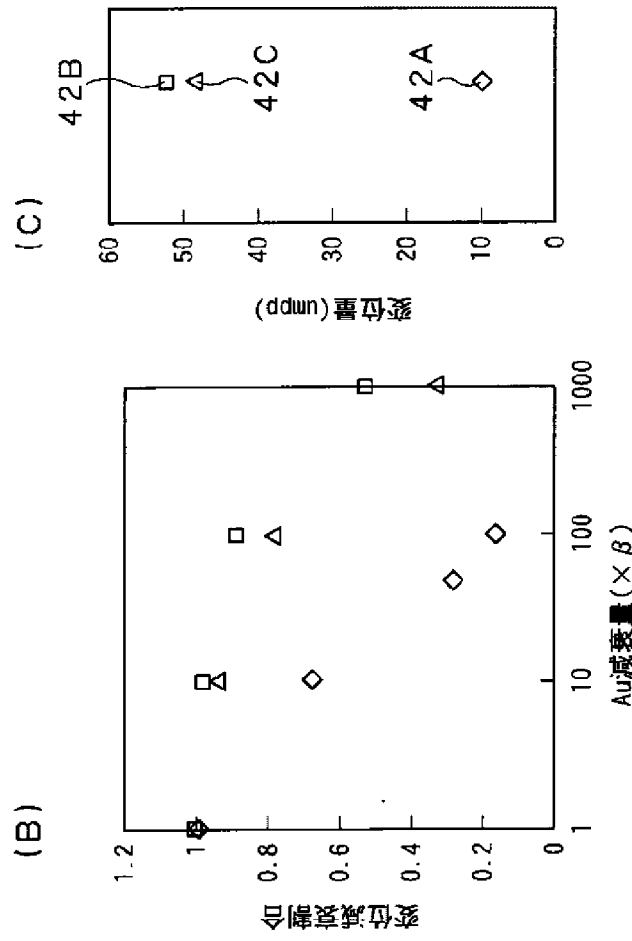
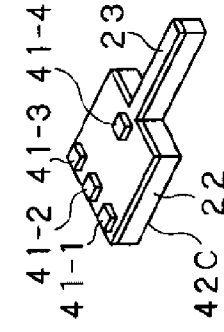
(A) 第1固定方法

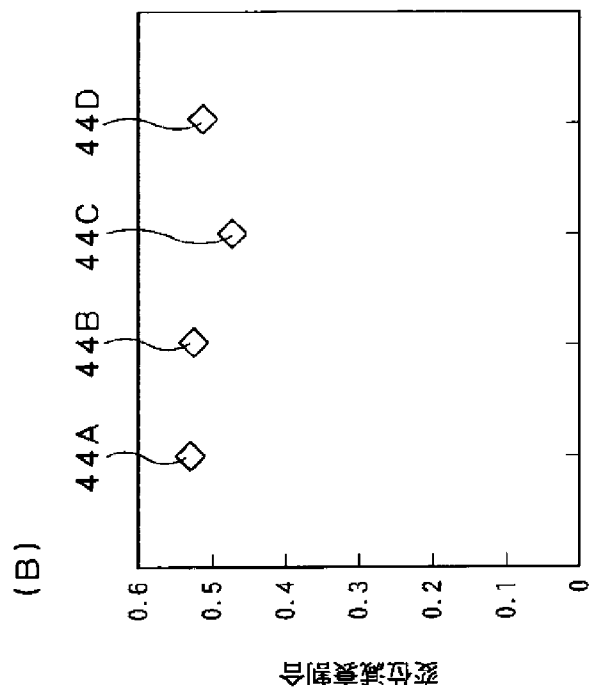
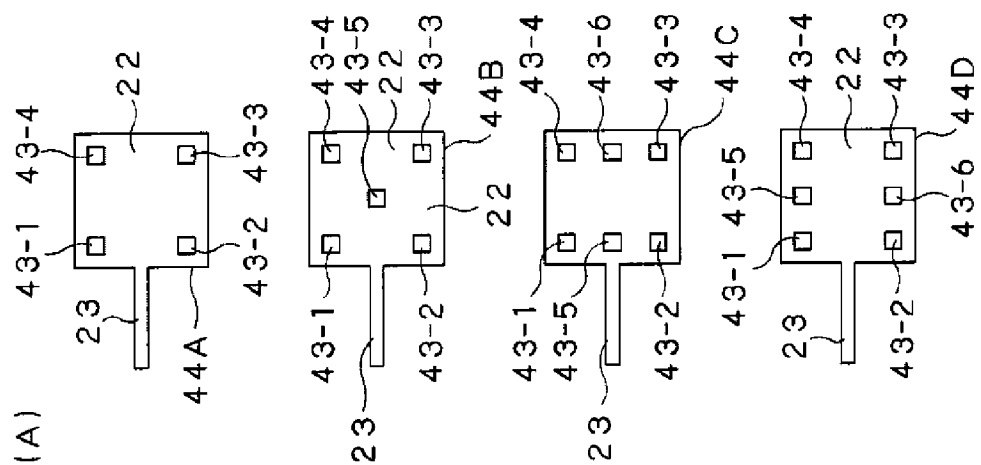


第2固定方法



第3固定方法





【書類名】 要約書

【要約】

【課題】 簡易な構成によって小型化と高Q値を得て特性の向上を図る。

【解決手段】 支持基板2に固定する振動素子20が、シリコン基板21をベースとして切り出し形成され、基部22と片持ち梁状の振動子部23とから構成する。基部22に設けた所定の高さを有する複数個の金バンプ25を端子部4に接合することによって、振動子部23が主面2-1から間隔を保持されて支持基板2に実装される。

【選択図】 図2

出願人履歴

0 0 0 0 0 2 1 8 5

19900830

新規登録

5 9 7 0 6 2 9 9 3

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社